

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

012726805 **Image available**

WPI Acc No: 1999-532918/199945

XRPX Acc No: N99-395623

Antiferroelectric liquid crystal driving method for liquid crystal display panel - involves short circuiting scanning and signal electrodes with ground during reset period

Patent Assignee: CITIZEN WATCH CO LTD (CITL)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11231286	A	19990827	JP 9836894	A	19980219	199945 B

Priority Applications (No Type Date): JP 9836894 A 19980219

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11231286	A	6	G02F-001/133	

Abstract (Basic): JP 11231286 A

NOVELTY - Antiferroelectric liquid crystal exhibits two ferroelectric states and a dielectric state based on the voltage applied to the liquid crystal. Pixel write-in operation is performed during the scanning period. Scanning and signal electrodes are short circuited with the ground during the reset period (RS). **DETAILED DESCRIPTION** - Reset pulse for setting the liquid crystal to a fixed state is applied during the reset period before the selection period (Se). Selection pulse for determining the permeable quantity of light of the pixel is applied during the selection period. Permeable quantity of light determined during the selection period is held during the non-selection period (NSe).

USE - For liquid crystal display panel and liquid crystal optical shutter array.

ADVANTAGE - Eliminates generation of braking phenomenon due to continuous driving of liquid crystal, by shortening reset period.

DESCRIPTION OF DRAWING(S) - The figure shows the drive wave form of the antiferroelectric liquid crystal display element. (NSe) Non-selection period; (RS) Reset period; (Se) Selection period.

Dwg. 1/6

Title Terms: LIQUID; CRYSTAL; DRIVE; METHOD; LIQUID; CRYSTAL; DISPLAY; PANEL; SHORT; CIRCUIT; SCAN; SIGNAL; ELECTRODE; GROUND; RESET; PERIOD

Derwent Class: P81; P85; U14

International Patent Class (Main): G02F-001/133

International Patent Class (Additional): G09G-003/36

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPI0

(c) 2000 JPO & JAPI0. All rts. reserv.

06289694 **Image available**

DRIVING METHOD FOR ANTIFERROELECTRIC LIQUID CRYSTAL DISPLAY ELEMENT

PUB. NO. : 11-231286 [JP 11231286 A]

PUBLISHED: August 27, 1999 (19990827)

INVENTOR(s): SUGURO AKIRA
 KONDO MASAYA

APPLICANT(s): CITIZEN WATCH CO LTD

APPL. NO. : 10-036894 [JP 9836894]

FILED: February 19, 1998 (19980219)

INTL CLASS: G02F-001/133; G09G-003/36

ABSTRACT

PROBLEM TO BE SOLVED: To enable high-speed and high-contrast display by reducing a burning phenomenon caused by a difference in the electric charge amount of a residual electric charge component between cells and at a driving circuit by short-circuiting the interval of liquid crystal cells and the driving circuit with a ground during a reset period.

SOLUTION: A liquid crystal panel is composed of a pair of glass substrates 53a and 53b having antiferroelectric liquid crystal layers 56. During the reset period, an antiferroelectric liquid crystal molecule is turned into antiferroelectric state. Therefore, a threshold voltage required for switching the antiferroelectric liquid crystal molecule from first or second ferroelectric state to antiferroelectric state is impressed during the reset period. Ordinarily, this voltage value is lower than a voltage value required for switching from the first or second ferroelectric state to the second or first ferroelectric state. By turning this voltage value to 0 V and simultaneously short-circuiting both scanning side and signal side electrodes with the ground, the residual electric charge component between the liquid crystal cells and at the driving circuit is removed.

COPYRIGHT: (C)1999, JPO

?

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-231286

(43)公開日 平成11年(1999) 8月27日

(51)Int.Cl.⁹

G 0 2 F 1/133

G 0 9 G 3/36

識別記号

5 6 0

F I

G 0 2 F 1/133

G 0 9 G 3/36

5 6 0

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21)出願番号

特願平10-36894

(22)出願日

平成10年(1998) 2月19日

(71)出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72)発明者 勝呂 彰

埼玉県所沢市大字下富字武野840番地 シ
チズン時計株式会社技術研究所内

(72)発明者 近藤 真哉

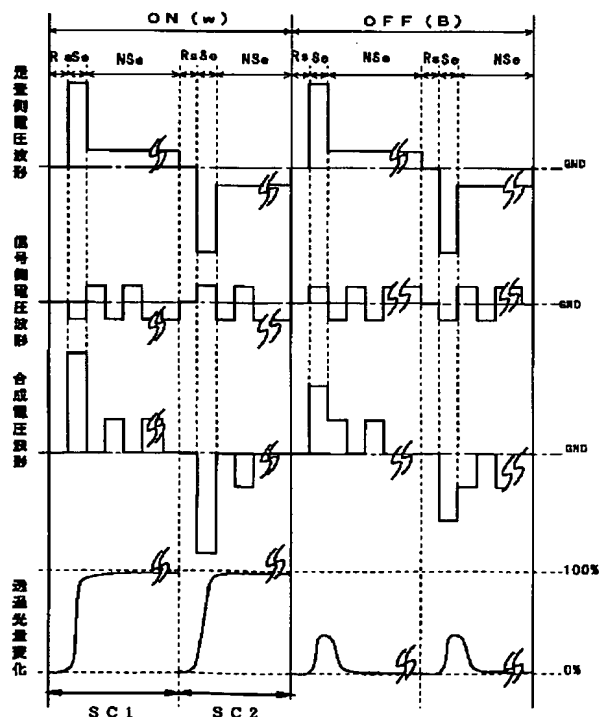
埼玉県所沢市大字下富字武野840番地 シ
チズン時計株式会社技術研究所内

(54)【発明の名称】 反強誘電性液晶表示素子の駆動方法

(57)【要約】

【課題】 焼き付け現象を低減し、高速で高コントラストな表示を行うための反強誘電性液晶表示素子の駆動方法を提供する。

【解決手段】 リセット期間で反強誘電性液晶セル間の電位差を0Vにし、さらに走査側電極と信号側電極をグラウンドと短絡することでセル間および駆動回路での残留電荷成分を除去し、電荷量の差から起きる焼き付け現象を低減させる。



【特許請求の範囲】

【請求項1】 対向面にそれぞれ複数の走査側電極と信号側電極とを有する1対の基板間に反強誘電性液晶を挟持し、マトリックス状に画素を有する反強誘電性液晶表示素子の駆動方法であって、前記反強誘電性液晶は第1の強誘電状態と、第1の強誘電状態とは逆極性の電圧を印加した場合に強誘電状態を示す第2の強誘電状態と、反強誘電状態の3つの状態を有し、画素への一回の書き込みは少なくとも一つの走査期間からなり、前記走査期間は画素の透過光量を決定するためのセレクトパルスが印加される選択期間と、この選択期間以前に、反強誘電性液晶を一定の状態にセットするリセットパルスを印加するリセット期間と、選択期間で決定した透過光量を保持する非選択期間とを有し、前記リセット期間に於いて走査側電極と信号側電極は共にグラウンドと短絡することを特徴とする反強誘電性液晶の駆動方法。

【請求項2】 前後する走査期間の電圧波形が0Vに対して互いに対称であることを特徴とした請求項1記載の反強誘電性液晶表示素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、反強誘電性液晶を液晶層とする、マトリックス状の画素を有する液晶表示パネルや液晶光シャッターアレイ等の反強誘電性液晶表示素子の駆動法に関するものである。

【0002】

【従来の技術】反強誘電性液晶を用いた液晶パネルは、日本電装（株）及び昭和シェル石油（株）らの特開平2-173724号公報で広視野角を有すること、高速応答が可能なこと、マルチプレックス特性が良好なこと等が報告されて以来、精力的に研究がなされている。

【0003】図2は反強誘電性液晶をディスプレイとして用いる場合の偏光板配置を示す液晶セル構成図である。クロスニコルに合わせた偏光板21の間に、どちらかの偏光板の偏光軸と無電界時に於ける分子の光軸方向がほぼ平行になるように液晶セル22を置き、電圧無電界時に黒が、電界印加時には白が表示できるようにしている。このようなセル構成の液晶セルに電圧を印加したとき、それに対する透過率変化をグラフにプロットすると図3のようなループを描くことが出来る。電圧を印加し増加させていく場合に透過率が変化し始める電圧値をV1、透過率の変化が飽和する電圧値をV2、逆に電圧値を減少させていく場合に透過率が減少し始める電圧値をV5、また逆極性の電圧を印加し、その絶対値を増加させた場合に透過率が変化し始める電圧値をV3、透過率変化が飽和する電圧値をV4、逆に電圧の絶対値を減少させた場合に透過率が変化し始める電圧値をV6とする。この図3からは、電圧値が反強誘電性液晶分子の閾値以上をとる場合に第1の強誘電状態が選択され、また

印加電圧の極性の違いによって、第2の強誘電状態が選択され、これらの強誘電状態から、電圧値がある閾値より低い場合には反強誘電状態が選択されることがわかる。

【0004】従来の駆動方法に於いては、図4に示すように、選択期間（Se）で第1、もしくは第2の強誘電状態、もしくは反強誘電状態を選択し、その状態を次の非選択期間（NSE）で保持させていた。つまり選択期間（Se）で印加したセレクトパルスによる透過光量をその後の非選択期間（NSE）で保持させることにより表示を行っていた。

【0005】また選択期間に印加されるセレクトパルスの直前で、反強誘電性液晶の分子状態が異なると、画素の透過光量を正確な所定の値にする事が難しく、そのためセレクトパルスを印加する前に、その画素の表示以前の状態に関わらず常に反強誘電状態にリセットすることが良く行われてきた。この反強誘電状態にリセットする方法としては、リセット期間内の電圧値を0Vにし、反強誘電性液晶自身の持つ粘性や弾性などの特性による自然緩和によって反強誘電状態にリセットする方法や、適切な逆極性を有する印加電圧を印加して反強誘電状態にリセットする方法がある。

【0006】

【発明が解決しようとする課題】しかしながら前者の、反強誘電性液晶分子の強誘電状態からの自然緩和によるリセット法の場合には、確実に反強誘電状態にリセットすることができるが、リセット期間直前の画素の状態が第1または第2の強誘電状態の場合には、液晶層間の電荷に着目すると以前の書き込みによる電荷が全く残らない初期状態にするためには多くの時間が必要となり、画面の書き込み時間が遅くなってしまう。また後者の、適切な電圧を印加し反強誘電状態にリセットする方法の場合にも同様に、リセット期間直前の状態が第1の強誘電状態であれば-（マイナス）の極性の電圧を、第2の強誘電状態の場合には+（プラス）の極性の電圧を印加するが、液晶層間には常に電圧が印加することになり、余計な電荷が存在する。このように従来のような反強誘電状態にリセットする方法では電荷の放電経路がないために以前の表示状態によって影響を受け、その結果表示画面が焼き付くという欠点があった。

【0007】また、反強誘電状態にリセットする方法に類似した技術で、書き込み時に反強誘電性液晶を一度強誘電状態にする方法が特開平5-100208に開示されている。

【0008】特開平5-100208の実施例では階調電圧を印加する前に強誘電状態に転移するのに十分な電圧を印加し、液晶の応答性（立ち上がり速度）を高めている。しかし、特開平5-100208では反強誘電性液晶を強誘電状態にする速度の向上を目的とするもので、反強誘電状態へ転移させる駆動については触れられ

ていない。

【0009】そこで本発明ではこれらの問題点を解決し、セル間および駆動回路での残留電荷成分の電荷量の差から起きる焼き付け現象を低減し、高速で高コントラストな表示を行うための反強誘電性液晶表示素子の駆動方法を提供することを目的としている。

【0010】

【課題を解決するための手段】上記目的を達成するため本発明における反強誘電性液晶表示素子の駆動方法では、以下の手段を用いた。

【0011】対向面にそれぞれ複数の走査側電極と信号側電極とを有する1対の基板間に反強誘電性液晶を挟持し、マトリックス状に画素を有する反強誘電性液晶表示素子で、前記反強誘電性液晶は第1の強誘電状態と、第1の強誘電状態とは逆極性の電圧を印加した場合に強誘電状態を示す第2の強誘電状態と、反強誘電状態とを有し、画素への一回の書き込みは少なくとも一つの走査期間からなり、走査期間は画素の透過光量を決定するためのセレクトパルスが印加される選択期間と、この選択期間以前に、反強誘電性液晶分子を一定の状態にセットするためのリセットパルスを印加するリセット期間と、選択期間で決定した透過光量を保持する非選択期間とから構成され、リセット期間に於いて走査側電極と信号側電極は共にグラウンドと短絡することを特徴とする。

【0012】そして、画素へ印加される前後する走査期間の電圧波形が0Vに対して互に対称とし、交流化を図っている。

【0013】（作用）反強誘電性液晶は図3に示すように印加電圧の絶対値がある閾値電圧以上の場合に第1または第2の強誘電状態をとる。この時、図2に示すようなセル構成の場合に、本発明の駆動方法によるリセット期間では必ず反強誘電性液晶分子が反強誘電状態になるようにする。このために、リセット期間では反強誘電性液晶分子が第1または第2の強誘電状態から反強誘電状態にスイッチングするために必要な閾値電圧を印加する。通常この電圧値は、第1もしくは第2の強誘電状態から第2もしくは第1の強誘電状態にスイッチングするために必要な電圧値よりも小さい。この電圧値を0Vにし、と同時に走査側電極側、信号側電極共にグラウンドと短絡することで液晶セル間および駆動回路での残留電荷成分を除去する。この方法を用いると、従来の反強誘電状態にリセットするための電圧が不要になる。また、液晶本来の持つ特性による自然緩和によって反強誘電状態にリセットする方法に比べて非常に高速にリセットすることができる。

【0014】本願発明による駆動方法は、反強誘電性液晶の状態を一回の書き込みごとに反強誘電状態にリセットすると同時に、液晶セル間および駆動回路での残留電荷成分を除去するので、書き込みごとの表示を安定させ、かつリセット期間の印加電圧を0Vで反強誘電性液

晶を反強誘電状態にできるので、リセットパルスの印加電圧も不要となる。また短い選択期間で、表示状態（反強誘電性液晶の状態）を決定するので、強誘電状態または反強誘電状態のどちらの状態にでも良好に状態を転移させながら、高速な表示が可能であり、残留電荷成分による焼き付き現象が低減される。本発明は、この点に着目して完成されたものであり、以下実施の形態に基づいて説明する。

【0015】

【発明の実施の形態】以下本発明の実施の形態を図面に基づいて詳細に説明する。図5は本実施の形態に用いた液晶パネル構成図である。本実施の形態で用いた液晶パネルは約2 μ の厚さの反強誘電性液晶層56を持つ一対のガラス基板53a、53bから構成されている。ガラス基板の対向面には電極54a、54bが形成されており、その上に高分子配向膜55a、55bが塗布され、ラビング処理がなされている。さらに一方のガラス基板の外側に偏光板の偏光軸とラビング軸とが平行になるように第1の偏光板51aが設置されており、他方のガラス基板の外側には第1の偏光板51aの偏光軸と90°異なるようにして第2の偏光板51bが設置されている。

【0016】また図6は走査側電極と信号側電極の配置を表した図である。走査側電極をそれぞれX1、X2、Xn等と示し、信号側電極はY1、Y2、Ym等と示し、走査側電極は480本、信号側電極は640本とした。それぞれが交差する斜線部分が画素（A11、Anm）である。

【0017】図1は本発明の実施の形態の白表示（ON（W））および黒表示（OFF（B））を行う場合の走査側電極（Xn）での走査側電圧波形、信号側電極（Ym）での信号側電圧波形、およびそれらが交差したところの画素（Anm）での合成電圧波形、およびそれに応じた透過光量の変化を示した図である。本発明に用いた駆動波形ではリセット期間（Rs）を1位相、選択期間（Se）を1位相とした。1位相のパルス幅は50 μ sに設定し、1回の書き込みは2つの走査期間（SC1、SC2）から構成した。非選択期間（NSE）の時間は約45msであり、走査側電極（Xn）波形には非選択期間（NSE）に4Vの保持電圧を印加し、この極性はリセット期間（Rs）に印加される電圧と同極性とした。

【0018】走査側電極（Xn）のセレクト期間（Ss）に印加されるパルスの波高値の最大絶対値は20Vとし、信号側電極（Ym）に印加される最大絶対値は4Vとした。黒表示（OFF（B））を行うためには第1走査期間（SC1）の合成電圧波形（Anm）では、0Vが1位相印加され（リセットパルス）、反強誘電性液晶は反強誘電状態を示し、透過光量はリセット期間では0%近くなったが、次の選択期間（Se）で、合成電圧波形として+24Vが1位相だけ印加されるため（セレクト

トパルス)、反強誘電性液晶は第1もしくは第2の強誘電状態になり、透過光量は100%となり、白表示ON(W)をする。非選択期間(NSe)では強誘電性液晶は反強誘電状態を保持している。リセット期間は観測者の視覚認識に必要な期間より十分短いため、表示は白と視覚認定される。

【0019】また、黒表示OFF(B)の場合には、同様にリセット期間(Rs)の合成電圧波形で、0Vが1位相印加され(リセットパルス)、反強誘電性液晶は反強誘電状態を示し、透過光量はリセット期間で0%近くなり、次の選択期間(Se)で、合成電圧波形として+16Vが1位相だけ印加されるため(セレクトパルス)、反強誘電性液晶は第1もしくは第2の強誘電状態まで至らず、反強誘電状態が選択され、透過光量は0%近く、黒表示になる。非選択期間(NSe)では反強誘電性液晶はリセット期間と同様にして反強誘電状態を保持する。リセット期間は観測者の視覚認識に必要な時間より十分短いため、表示は黒と視覚認定される。

【0020】また1回の書き込みで2つの走査期間(SC1、SC2)を設け、それぞれの電圧波形の極性は0Vに対して互いに対称とし、交流化を図った。

【0021】前記手法を講じることで、リセットパルスの印加電圧は0Vであるが反強誘電性液晶が反強誘電状態にリセットする時間は従来に比べて短くできた。また、このように黒および白の如何なる表示においても、選択期間に要する時間を短縮することができ、どのような表示画面の場合でも良好な表示を高速で行うことができた。

【0022】本実施の形態では、走査側電極と信号側電極を複数有する駆動について示したが、例えば画素がスイッチング素子であるようなアクティブ素子を使用した駆動の場合でも、画素に印加される電圧波形が、本実施の形態のような合成電圧波形であれば十分に同じ効果が得られる。

【0023】

【発明の効果】以上の実施の形態で述べたように、本発明の駆動方法を用いて、リセット期間に液晶セル間および駆動回路をグラウンドと短絡することで、反強誘電性液晶を反強誘電状態にリセットし、さらに第1もしくは第2の強誘電状態のときの残留電荷成分を除去し、さらに駆動回路においても電荷を放電することで常に初期状

態から新規に液晶セルに書き込みを行うことができるので、連続駆動による焼き付け現象を低減し、さらにそのリセット期間が短いため、高速でコントラストの高い良好な表示を行うことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態における反強誘電性液晶表示素子の駆動波形とそれに対応する透過光量を示した図である。

【図2】本発明の実施の形態における反強誘電性液晶セルと偏光板の構成図である。

【図3】本発明の実施の形態における反強誘電性液晶表示素子のヒステリシスカーブを表す図である。

【図4】従来技術における反強誘電性液晶表示素子の駆動方法を示す図である。

【図5】本発明の実施の形態における反強誘電性液晶パネルの構成図である。

【図6】本発明で実施の形態における走査側電極と信号側電極の構成図である。

【符号の説明】

OFF(B) 黒表示

ON(W) 白表示

SC1 第1走査期間

SC2 第2走査期間

Rs リセット期間

Se 選択期間

NSe 非選択期間

Xn 走査側電極

Ym 信号側電極

Anm 画素

T 透過光量

21a、21b 偏光板

22 液晶セル

51a、51b 偏光板

52a、52b シール材

53a、53b ガラス基板

54a、54b 電極

55a、55b 高分子配向膜

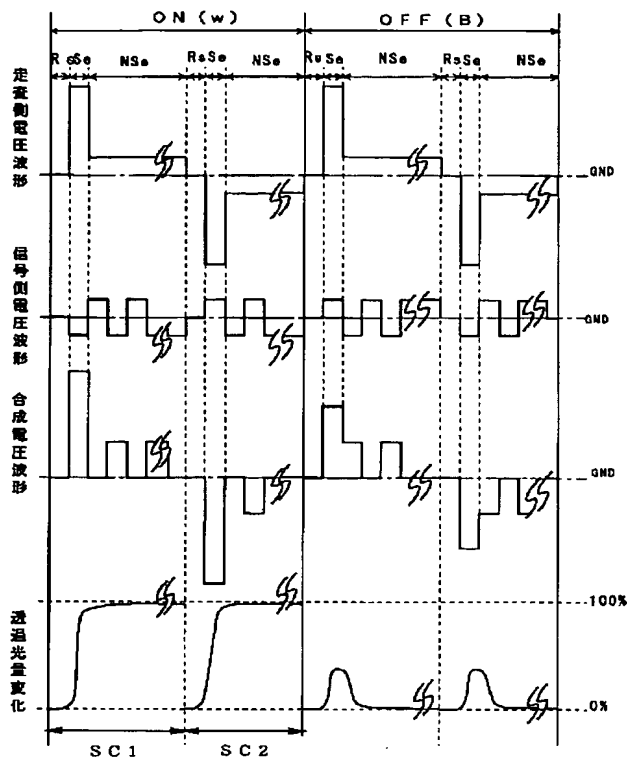
56 反強誘電性液晶

X1~X480 走査側電極

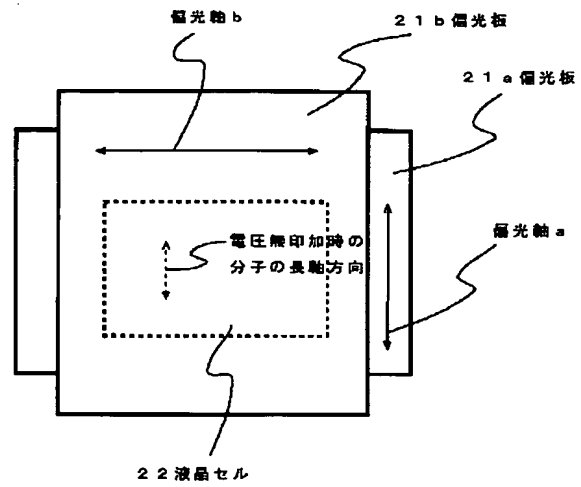
Y1~Y640 信号側電極

A11、Anm 画素

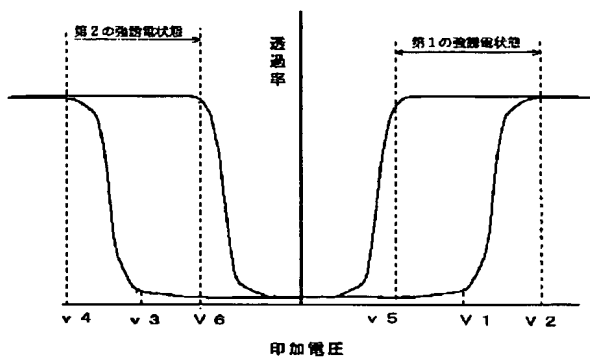
【図1】



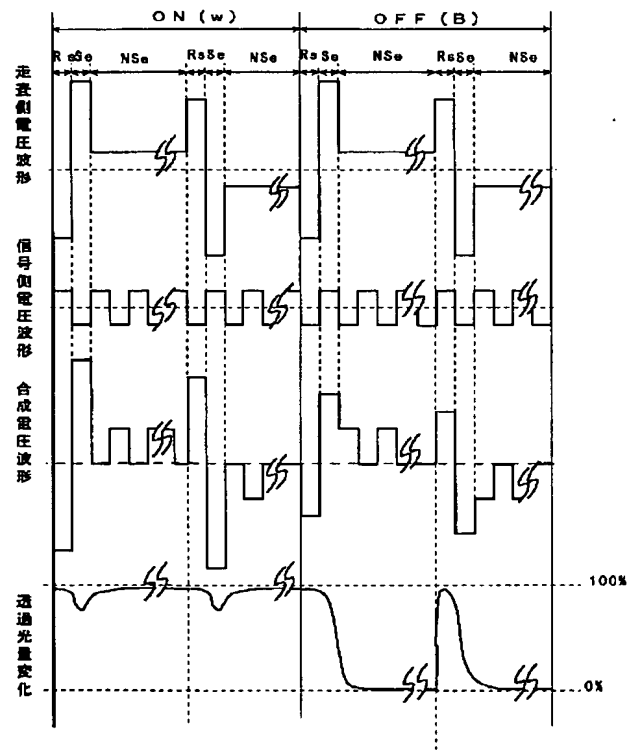
【図2】



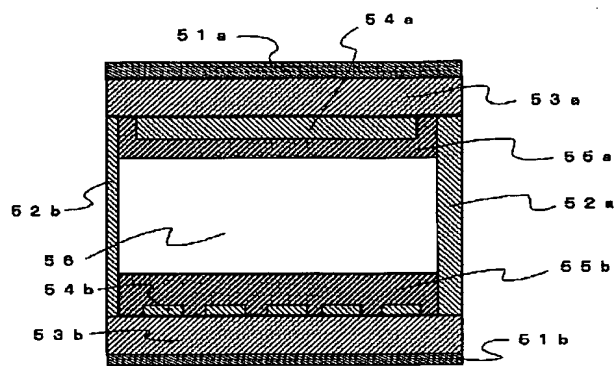
【図3】



【図4】



【図5】



【図6】

